

# LED AND LED-ASSEMBLING METHOD

Patent number: JP11274568  
 Publication date: 1999-10-08  
 Inventor: STEVEN D LESTER  
 Applicant: HEWLETT PACKARD CO  
 Classification:  
 - international: H01L33/00  
 - european:  
 Application number: JP19990024950 19990202  
 Priority number(s): US19980026465 19980219

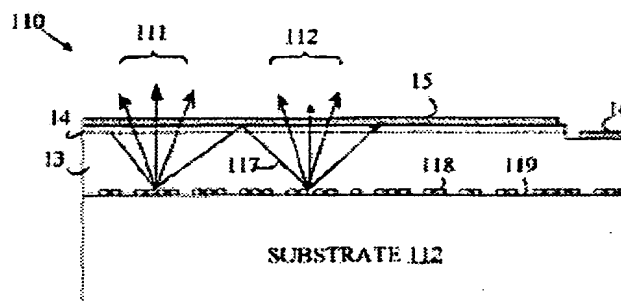
Also published as:

 US6091085 (A)

Abstract not available for JP11274568

Abstract of corresponding document: **US6091085**

An LED having a higher light coupling efficiency than prior art devices, particularly those based on GaN. An LED according to the present invention includes a substrate having a top surface, a first layer of a semiconducting material deposited on the top surface of the substrate, a light generation region deposited on the first layer, and a second layer of semiconducting material deposited on the first layer. Electrical contacts are connected to the first and second layers. In one embodiment, the top surface of the substrate includes protrusions and/or depressions for scattering light generated by the light generation region. In a second embodiment, the surface of the second layer that is not in contact with the first layer includes a plurality of protrusions having facets positioned such that at least a portion of the light generated by light generation layer strikes the facets and exits the surface of the second layer. In a third embodiment, the second layer includes a plurality of channels extending from the surface of the second layer that is not in contact with the light generation layer. The channels are filled with a material having an index of refraction less than that of the semiconducting material.



Data supplied from the esp@cenet database - Worldwide

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-274568

(43) 公開日 平成11年(1999)10月8日

(51) Int.Cl.<sup>9</sup>

H 0 1 L 33/00

識別記号

F I

H 0 1 L 33/00

E

C

審査請求 未請求 請求項の数1 O L (全 7 頁)

(21) 出願番号 特願平11-24950

(22) 出願日 平成11年(1999)2月2日

(31) 優先権主張番号 0 2 6, 4 6 5

(32) 優先日 1998年2月19日

(33) 優先権主張国 米国 (US)

(71) 出願人 398038580

ヒューレット・パッカード・カンパニー

HEWLETT-PACKARD COM  
PANY

アメリカ合衆国カリフォルニア州パロアル

ト ハノーバー・ストリート 3000

(72) 発明者 ステイブン・ディー・レスター

アメリカ合衆国カリフォルニア州 パロ・

アルト マタデロ・アベニュー829

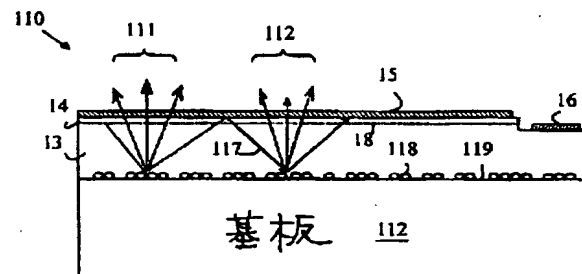
(74) 代理人 弁理士 上野 英夫

(54) 【発明の名称】 LEDおよびLEDの組立方法

(57) 【要約】

【課題】 LEDの発生光の外部への結合効率を効率的に改善する。

【解決手段】 基板112上に堆積した半導体材料の第1の層13と共にp-nダイオードを形成する前記半導体材料の第2の層14と、第1と第2の層の間であって、光を発生する発光領域18と、第2の層に堆積した第1の電極15と、第1の層に電氣的に接続された第2の電極16が含まれている。基板112の上部表面に、光を散乱または回折するための突出部118及び／または陥凹部119が設けられる。第2の層の上部表面の粗面化も用いることができる。



## 【特許請求の範囲】

【請求項1】上部表面を備えた基板と、  
前記基板上に堆積した半導体材料の第1の層と、  
第1の層と共にp-nダイオードを形成する前記半導体材料の第2の層と、  
前記第1と第2の層の間にあって、前記第1と第2の層の両端間に電位が印加されると、光を発生する発光領域と、  
前記第2の層に堆積した導電層からなる第1の接点と、  
前記第1の層に電気的に接続された第2の接点が含まれており、  
前記基板の前記上部表面に、光を散乱または回折するための突出部及び／または陥凹部が含まれていることを特徴とする、  
LED。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、発光ダイオード(LED)に関するものであり、とりわけ、改良されたGaNベースのLEDに関するものである。

## 【0002】

【従来の技術】LEDは、一般に、基板上にp-nダイオードを成長させて組立られる。ダイオードは、基板上にnドープ材料層を成長させ、nドープ層上に発光領域を成長させ、さらに、nドープ材料層の上にpドープ材料層を成長させることによって組立られる。次に、pドープ層の上部表面に電極が堆積させられ、nドープ層に接点形成される。光は、基板か、あるいは、pドープ材料層の上部における電極を介して取り出される。光が上部電極を介して放出される場合、電極は、インジウム・スズ酸化物または薄い金のような透明な材料から組立られる。

【0003】LEDの効率は、2つの効率、すなわち、電極に加えられる電力が光に変換される効率と、光がLEDから外部に結合される効率の積である。サファイア基板上に組立られたGaNベースのLEDの場合、ダイオードに生じる光の大部分は、結合効率が劣るために失われる。GaNは、屈折率が空気またはエポキシ・カプセル材料よりもはるかに大きい。従って、小さい頂角の光円錐角内でダイオード表面に入射する光しか、表面から出られない。残りの光の大部分は、反射によってGaN層に戻され、サファイア基板表面とGaN上部表面によって囲まれた導波路内に捕捉される。この捕捉された光の多くは、最終的にデバイス内で吸収される。従って、GaNダイオードの効率は、理想からほど遠い。

【0004】LEDの抽出効率を向上させるために提案された方法の1つでは、LEDに発生した光が、臨界角以上で表面に当たり、これによって、上述の内反射の問題が阻止されるように、LEDをマクロ的に整形する必要がある。これらのLEDにおいて、チップは、半球ま

たは角錐台となるように整形される。こうしたチップの整形は、極めて厄介であり、かなり高くつく。

【0005】GaAsベースのLEDの抽出効率を改善するための第2の先行技術による方法では、エッチングで表面の平面性を破壊する。LEDの上部表面または側部表面を粗面とし、これによって、表面に当たる光の出射を可能にする多様な非平面ファセットが得られるようにする。例えば、LEDの表面に粒子を堆積させ、次に、粒子を利用して、ランダム・エッチング・マスクを形成することによって、不規則なエッチング・パターンを生成することが可能である。結果得られるパターンには、少なくとも2つの問題がある。第1に、このパターンでは、上部電極にアイランドが残る可能性がある。これらのアイランドは、電極に対する電力接続がなされる上部電極接点には接続されない。従って、これらのアイランドの下部のLED部分は、光を発生しない。結果として、LEDの有効面積、従って、発生する光全体が減少する。

【0006】第2に、GaNベースのLEDの場合、発光領域を含むp-n接合が、上部表面に極めて近接している。従って、エッチングによって、接合のかなりの部分が破壊される場合が多い。破壊された部分は、発光しない。このため、有効発光領域がさらに減少する。

## 【0007】

【発明が解決しようとする課題】本発明の目的は、一般に、改善されたLEDを提供することにある。

【0008】本発明のもう1つの目的は、結合効率の改善されたLEDを提供することにある。

【0009】本発明の以上の及びその他の目的については、当該技術者には、本発明の下記の詳細な説明及び添付の図面から明らかになるであろう。

## 【0010】

【課題を解決するための手段】本発明は、先行技術によるデバイス、とりわけ、GaNベースのデバイスに比べて光結合効率の高いLEDである。本発明によるLEDには、上部表面を備えた基板と、基板の上部表面上に堆積した半導体材料の第1の層と、発光層と、発光層上に堆積した半導体材料の第2の層が含まれている。電気接点で、第1と第2の層に接続されている。第1と第2の層は、p-nダイオードを形成している。本発明の実施例の1つでは、基板の上部表面には、発光領域で発生した光を散乱させる突出部／陥凹部が含まれている。本発明の第2の実施例では、第1の層に接触していない第2の層の表面には、発光領域によって生じた光の一部が当たって、LEDから出射するように配置されたファセットを備える、複数の突出部が含まれている。サファイアを介して光が取り出される場合、突出部は、光を散乱させて、サファイアに戻す働きをする。本発明の第3の実施例の場合、第2の層には、発光領域に接触していない第2の層の表面から延びる複数のチャンネルまたは陥凹部

が含まれている。チャネルまたは陥凹部には、半導体材料よりも屈折率の低い材料が充填される。陥凹部は、第2の層の成長条件を変更することによって形成することが可能である。

【0011】

【発明の実施の形態】本発明がその利点を実現する方法は、GaNベースLEDの略断面図である図1を参照することによってより容易に理解することができるであろう。LED10は、サファイア基板12に2つのGaN層を成長させることによって、基板上に組立られる。第1の層13は、n形になるようにドーパされ、第2の層14は、p形になるようにドーパされる。発光領域18は、これら2つの層の間に挟まれている。一般に、発光領域は、正孔及び電子が再結合して、光を発生する発光層と、この層のそれぞれの側に位置するクラッド層を含むいくつかの層から構成される。光は、p-nダイオード層から注入される正孔と電子の再結合によって発光層内で発生する。これらの層の詳細については、当該技術者にとって周知のところであり、これらの細部は、本発明がその利点を獲得する方法とは無関係であるため、図では、これらの層は単一ラインとして示されている。以下の説明を単純化するため、発光領域は、p-n接合領域と称することにする。

【0012】透明電極15が、pタイプ層の表面に配置されている。第2の電極16は、層13までエッチ・バックされたGaN層の一部に堆積させられて、n接点を形成する。

【0013】上述のように、発光領域において生じた光の大部分は、GaNの屈折率が高いためにGaN層内に捕捉される。屈折率が高いため、臨界角が小さくなる。臨界角よりも大きい角度で表面に当たる光は、GaN表面によって全反射される。この光は、17で示すように、電極15とサファイア/GaN層の表面の間で跳ね返って行ったり来たりする。この光の大部分は、最終的に吸収され、従って、有用な出力が得られない。

【0014】本発明によれば、上述の導波路を杜絶させることによってGaNベースのLEDの結合効率が改善される。サファイア/GaN層間の界面の表面及び/またはGaN層の表面を変更することによって、導波路を杜絶させることができる。

【0015】本発明では、導波路効果を杜絶する4つの方法が、個別にあるいは組み合わせて、利用される。第1の方法では、サファイア/GaN界面に粗面仕上げを施すことが必要になる。この方法は、GaNのエピタキシャル成長またはp-nダイオードの発光効率の妨げにならないように、GaNエピタキシャル成長の前に、粗面仕上げを施すことができるという驚くべき結果に基づくものである。留意すべきは、GaAs層の成長を助けるには、かなり研磨した基板を必要とするので、GaAsベースのデバイスにはこの方法を適用できないという

点である。

【0016】次に、GaNベースのLED110の断面図である図2を参照する。図1に示す構成要素と同じ機能を果たす図2に示す構成要素には、同じ表示が施されているので、これ以上の説明は行わない。粗面仕上げによって、界面に当たる光を散乱させ、その結果、GaN/電極/空気、または、エポキシ界面の臨界角より小さい角度で、光の一部が反射するようにする特徴118及び119が形成される。上部表面の臨界角内に含まれる円錐内に散乱する光は、111で示すように、上部表面を通過してLEDから脱出する。浅い角度で散乱する光117は、GaN層の上部表面から反射されて、もう一度基板表面に当たる。この光の一部は、112で示すように、LEDの上部表面からの脱出を可能にする角度で散乱することになる。浅すぎる角度で散乱する光は、もう一度上部表面で跳ね返り、該プロセスが繰り返される。

【0017】サファイア表面の散乱を生じる特徴は、陥凹部119または突出部118であり、LEDによって生じる光のGaNにおける波長より大きいか、あるいは、ほぼその程度であることが望ましい。特徴が光の波長よりあまりにも小さいと光は有効に散乱しない。特徴がGaN層の厚さに対し相対的に大きくなると、粗面仕上げによって、GaNの上部表面に欠陥を生じる可能性がある。これらの制限内において、LED表面の特徴を変更しなくても、粗面仕上げによって、光の結合効率が大幅に向上する。

【0018】粗面仕上げは、いくつかあるうちの任意の技法によって実施することが可能である。例えば、比較的粗い研磨粗粒を用いて研磨することによって、機械的に表面の粗面仕上げを施すことが可能である。例えば、砥石車に付着させた金属バックにサファイア・ウェーハを取り付けることが可能である。次に、ダイヤモンド研磨粗粒を用いて、所望の粗さになるようにサファイアに「かき傷」がつけられる。3〜5ミクロンの範囲のダイヤモンド粗粒サイズで十分であることが分かっている。

【0019】留意すべきは、サファイア基板は、通常、切削後、LED基板に利用する前に、かなりの程度まで研磨されるという点である。従って、粗面仕上げは、従来の基板製造プロセスにおける最終研磨プロセスを省略することによって実施可能である。この場合、本発明によって、実際に、基板の製造コストが低下し、同時に、LEDの総合効率が改善される。

【0020】エッチングで、表面に粗面仕上げを施して、サファイア表面の反射率を変更することも可能である。サファイア基板の粗面仕上げは、上部電極におけるp-n接合またはアイランドの妨げにならないので、LEDの上部表面のエッチングに関して上述のランダム・エッチング・プロセスは、上述の悪影響を生じることなく、サファイア基板に利用することが可能である。このエッチングは、フォトレジストを用いて、リソグラフィ技法

で開口部を形成し、さらに、フォトリソをエッチング・マスクとして利用することによって実施可能である。エッチングは、イオン・エッチング、イオン・ミリング、または、 $H_3PO_4$ などのいくつかある従来方法から任意の方法を選んで実施することが可能である。

【0021】基板表面の粗面仕上げは、光が基板から出射する幾何学的構造としても有効であることが分かっている。こうした幾何学的構造において、上部電極は反射材料から形成され、上部電極に当たった光が反射して基板に戻される。

【0022】導波路を途絶させるための第2の方法では、Ga<sub>0.4</sub>N層の上部表面を制御下で破壊することによって、活性領域に発生した光または基板界面から反射した光の出射が可能で、さまざまなファセットが得られる。上述の方法では、結果生じる破壊によって、光を発生する活性層の領域が大幅に減少してはならない。従って、破壊パターンによって、p-n接合の上部層、上部電極に「アイランド」が発生したり、あるいは、活性層接合のかなりの部分が破壊されてはならない。

【0023】上部Ga<sub>0.4</sub>N層に破壊部分を設けるための方法の1つは、パターン形成されたSiO<sub>2</sub>上に成長させるGa<sub>0.4</sub>Nの特定の特性を利用して、Ga<sub>0.4</sub>N層の上部表面の上に特徴を形成することである。これらの特徴は、LEDの上部表面に対して浅い角度で進行する光を上部表面から出射させるか、少なくとも、導波路から散乱させることが可能な角度のファセットを備えている。次に、組立プロセスのさまざまな段階におけるLED20の断面図である図3～図6を参照する。図3を参照すると、Ga<sub>0.4</sub>Nのp-n接合層21が、上述のように基板23上に堆積させられる。多数の孔を備えたSiO<sub>2</sub>マスク22が、従来のリソグラフィ技法を用いて、Ga<sub>0.4</sub>N表面上に堆積させられる。孔の幅は、図面に孔を描くことができるようにするため、隣接孔間のマスク幅に対して誇張されている。図4を参照すると、次に、Ga<sub>0.4</sub>Nがマスク上にエピタキシャル成長させられる。Ga<sub>0.4</sub>NはSiO<sub>2</sub>上において核生成しないので、Ga<sub>0.4</sub>N層が孔の上に達するまで、Ga<sub>0.4</sub>Nは孔内においてしか成長しない。この時点において、Ga<sub>0.4</sub>Nは、孔内の材料によって核生成されて、上方と側方の両方に成長する。マスクの上にGa<sub>0.4</sub>N層が延びる形状は、24で示すように角錐である。十分な時間にわたって、Ga<sub>0.4</sub>Nを成長させることが可能であれば、24で示すように、各孔毎に角錐が形成されることになる。その成長が、この時点より前に停止されると、角錐の先端が切り取られたようになる。角錐が所望の高さに達すると、成長が終了させられ、従来のエッチング技法によって、SiO<sub>2</sub>のマスクが除去される。これによって、図5に示す表面を備えたLEDが残される。最後に、図6に示すように、角錐の上に、透明な上部電極26を堆積させることが可能である。

【0024】こうして組立られたLEDの光出力は、同

じ電力で動作する先行技術によるLEDの約2倍になる。出力利得は、反射性上部電極を利用して、基板から光を取り出すデバイスの場合、いっそう大きくなる。

【0025】角錐は、Ga<sub>0.4</sub>Nの上部層と同じドーピングを施して成長させられるので、p-n接合の全領域で電流を受け取ることになる。従って、上部表面のエッチングに特徴的な効率の損失が、この方法で解消される。さらに、角錐のファセットは、ランダム・エッチングに基づくシステムに比べると、デバイスからの光をより多く結合する。さらに、角錐によってp-n接合を杜絶させることはないので、この上部表面杜絶方法によって、発光効率の損失を生じることはない。

【0026】導波路を途絶する第3の方法は、導波路内に垂直光パイプを挿入することである。これらのパイプ内に入射する光は、それが脱出する表面まで送られる。さらに、光パイプに入射しない光の一部も、外側表面から散乱するので、次にはデバイスから脱出できるように方向転換される。本発明の実施例の1つでは、Ga<sub>0.4</sub>N層に垂直孔をエッチングし、Ga<sub>0.4</sub>Nより屈折率の小さい材料をこの孔に充填することによって、光パイプが形成される。

【0027】次に、光パイプを利用して、結合効率を改善するLED30の断面図である図7を参照する。上述のように、基板33上にGa<sub>0.4</sub>Nのp-n接合層32が堆積させられ、次に、層32上に上部電極34が堆積させられる。次に、上部電極を貫通し、Ga<sub>0.4</sub>N層32に入り込むように、孔パターン35のエッチングが施される。この孔パターン35のエッチングは、従来のリソグラフィ手順を利用して実施される。孔の深さは、Ga<sub>0.4</sub>N層及びサファイア基板33の上部表面によって形成される導波路に捕捉される光を途中で捕らえるように選択される。留意すべきは、これら2つの表面間における光の強度は、該表面間のほぼ中ほどのポイントにおいて最大になるという点である。本発明の望ましい実施例の場合、孔は、導波路のこの部分において光を捕獲するため、少なくともこの深さまで延びる。次に、Ga<sub>0.4</sub>Nより屈折率の小さい材料が、孔に充填される。本発明の望ましい実施例の場合、SiO<sub>2</sub>が孔に充填される。最適な材料の屈折率nは、下記によって表される：

$$n = \sqrt{(n_{GaN} n_a)}$$

ここで、 $n_{GaN}$ はGa<sub>0.4</sub>Nの屈折率であり、 $n_a$ は透明電極に重なる媒体の屈折率である。この媒体は、通常、空気またはエポキシである。しかし、本発明の教示を逸脱することなく、孔に他の材料または空気を充填した実施例を実施することも可能である。上述の光パイプを利用したLEDの光出力は、光パイプを利用しない同様のデバイスよりも70～80%大きくなることが分かっている。

【0028】留意すべきは、上述の光パイプがデバイス内に延びる円筒形孔に制限されるわけではないという点

である。例えば、光パイプは、Ga<sub>0.5</sub>N層にエッチングされたトレンチとすることも可能である。さらに、光パイプの側部は、Ga<sub>0.5</sub>N層の表面に対して垂直である必要はない。

【0029】上記説明は、Ga<sub>0.5</sub>NをベースにしたLEDに焦点を合わせたものである。しかし、以上の説明から当該技術者には明かなように、上述の導波路を途絶させる方法は、粗面仕上げが、p-nダイオードの成長の妨げにならなければ、他の材料から組立られるLEDにも適用可能である。

【0030】粗面仕上げ表面をもたらす第4の方法は、低い温度またはV/IIIの比率が低い条件下において成長させられるGa<sub>0.5</sub>Nは、自ずと粗表面になるという観測結果に基づくものである。こうした条件の場合、Ga<sub>0.5</sub>N層は、自然にファセットを生じ、表面に沿って六角形のビットが形成される。この自然に形成されるファセットは、ビットのサイズが約0.1ミクロン以上の場合、散乱表面として利用することが可能である。本発明のこの実施例では、Ga<sub>0.5</sub>N層の最終部分の堆積中に、Ga<sub>0.5</sub>Nの成長温度を低下させることによって、粗面仕上げの層が得られる。1040°C未満の成長温度でビット形成が促進されることが見られる。代替案として、層の成長中にアンモニア対トリメチルガリウムのもル流量比を10000未満まで低下させることが可能である。この効果は、当該技術者に既知のところであるため、本明細書ではこれ以上詳述しない。この効果の詳細は、Kaplanek外の論文Appl. Phys. Lett. 71[9] (September 1, 1997)を参照されたい。

【0031】上述のように、光は、透明電極を利用することによって、上部表面を通して、または、基板を通して、LEDから取り出すことが可能である。上述の第4の実施例は、従来のプロセスに変更を加えて、上部Ga<sub>0.5</sub>N層を成長させる最終段階においてビット形成が生じる成長条件が得られるようにするだけで済むので、これらの代替案のうち後者にうまく適合する。その後、ビットの上に反射電極が堆積させられる。さらに、電極材料がビットを充填し、電極・Ga<sub>0.5</sub>N層界面に当たる光を散乱させる反射突出部が形成される。

【0032】上記説明では、Ga<sub>0.5</sub>NベースのLEDについて言及してきたが、もちろん、Ga<sub>0.5</sub>NベースのLEDには、Al<sub>x</sub>Ga<sub>y</sub>In<sub>z</sub>Nの形の化合物をベースにした任意のLEDが含まれる（ここで、 $x+y+z=1$ ）。やはり云うまでもなく、LEDのp形またはn形層にAlまたはInが欠けている場合もあり得る。

【0033】当該技術者には、以上の説明及び添付の図面から、本発明に対するさまざまな修正が明らかになるであろう。従って、本発明は、付属の請求の範囲による制限しか受けないものとする。しかしながら、本発明の広範な実施の参考として下記のとおり本発明の実施態様を例示する。

【0034】（実施態様1）上部表面を備えた基板と、前記基板上に堆積した半導体材料の第1の層と、第1の層と共にp-nダイオードを形成する前記半導体材料の第2の層と、前記第1と第2の層の間にあって、前記第1と第2の層の両端間に電位が印加されると、光を発生する発光領域と、前記第2の層に堆積した導電層からなる第1の接点と、前記第1の層に電気的に接続された第2の接点が含まれており、前記基板の前記上部表面に、光を散乱または回折するための突出部及び／または陥凹部が含まれていることを特徴とする、LED。

【0035】（実施態様2）前記基板が透明であることと、前記第1の接点が光を反射して、前記基板に戻すことを特徴とする、実施態様1に記載のLED。

（実施態様3）前記基板がサファイアであることを特徴とする、実施態様1に記載のLED。

（実施態様4）前記半導体材料にGa<sub>0.5</sub>Nが含まれることを特徴とする、実施態様1に記載のLED。

【0036】（実施態様5）上部表面を備えた基板と、前記基板上に堆積した半導体材料の第1の層と、第1の層と共にp-nダイオードを形成する前記半導体材料の第2の層と、前記第1と第2の層の間にあって、前記第1と第2の層の両端間に電位が印加されると、光を発生する発光領域と、前記第2の層に堆積した導電層からなる第1の接点と、前記第1の層に電気的に接続された第2の接点が含まれており、前記発光領域に接触していない第2の層の表面に、前記発光領域によって発生した光の少なくとも一部が当たって、前記LEDから出射するように配置されたファセットを備える、突出部が含まれていることを特徴とする、LED。

【0037】（実施態様6）上部表面を備えた基板と、前記基板上に堆積した半導体材料の第1の層と、第1の層と共にp-nダイオードを形成する前記半導体材料の第2の層と、前記第1と第2の層の間にあって、前記第1と第2の層の両端間に電位が印加されると、光を発生する発光領域と、前記第2の層に堆積した導電層からなる第1の接点と、前記第1の層に電気的に接続された第2の接点と、前記発光領域に接触していない前記第2の層の表面から延びる、前記半導体材料より屈折率の低い材料が充填された複数のチャネルが含まれている、LED。

【0038】（実施態様7）前記チャネルが前記第1の層に入り込んでいることを特徴とする、実施態様6に記載のLED。

（実施態様8）前記チャネルにSiO<sub>2</sub>が充填されていることを特徴とする、実施態様6に記載のLED。

（実施態様9）前記チャネルにガスが充填されていることを特徴とする、実施態様6に記載のLED。

【0039】（実施態様10）LEDの組立方法であって、入射光を散乱させる突出部及び／または陥凹部を含む粗面を備えた基板上において、前記突出部及び／また

は陥凹部を被うように、Ga<sub>0.5</sub>Nを含む半導体材料の第1の層をエビタキシャル成長させるステップと、前記第1の層上に発光領域を成長させるステップと、前記発光領域上にGa<sub>0.5</sub>Nを含む半導体材料の第2の層をエビタキシャル成長させるステップが含まれており、前記発光領域によって生じる光が、前記粗面によって散乱することを特徴とする、方法。

【0040】(実施態様11) LEDの組立方法であって、基板上にGa<sub>0.5</sub>Nを含む半導体材料の第1の層をエビタキシャル成長させるステップと、前記第1の層上に発光領域を成長させるステップと、前記発光領域上にGa<sub>0.5</sub>Nを含む半導体材料の第2の層をエビタキシャル成長させるステップと、半導体材料の前記第2の層上に、Ga<sub>0.5</sub>Nが核生成しない材料を含んでおり、前記第2の層まで延びる複数の孔を備え、前記第2の層が前記孔を介して露出することになる、マスクを堆積させるステップと、前記孔を介して露出した前記第2の層の部分によって核生成させることにより、前記マスクを施された第2の層上にGa<sub>0.5</sub>N層をエビタキシャル成長させるステップと、前記マスクを除去するステップが含まれている、方法。

【0041】(実施態様12) 前記マスクがSiO<sub>2</sub>を含んでいることを特徴とする、実施態様11に記載の方法。

【0042】(実施態様13) LEDの組立方法であって、基板上にGa<sub>0.5</sub>Nを含む半導体材料の第1の層をエビタキシャル成長させるステップと、前記第1の層上に発光領域を成長させるステップと、前記発光領域上にGa<sub>0.5</sub>Nを含む半導体材料の第2の層をエビタキシャル成長させるステップが含まれており、前記第2の層の一部が、その表面と発光領域によって生じる光を散乱させるサイズのピットを含む前記第1の層が接触しない条件下において、成長させられることを特徴とする、方法。

【0043】(実施態様14) 前記条件に、1040°C未満の成長温度が含まれることを特徴とする、実施態様13に記載の方法。

(実施態様15) 前記条件に、10000未満のアンモニア対トリメチルガリウムモル流量比で、アンモニア及びトリメチルガリウムから前記第2の層をエビタキシャル成長させることが含まれることを特徴とする、実施態様13に記載の方法。

【図面の簡単な説明】

【図1】 Ga<sub>0.5</sub>NベースのLEDの断面図である。

【図2】 本発明の実施例の1つによるLEDの断面図である。

【図3】 Ga<sub>0.5</sub>Nのp-n接合層が、基板上に堆積させられ、多数の孔を備えたSiO<sub>2</sub>マスクが、Ga<sub>0.5</sub>N表面上に堆積させられた組立プロセスの段階における本発明によるLEDのもう1つの実施例の断面図である。

【図4】 Ga<sub>0.5</sub>Nがマスク上にエビタキシャル成長させられた組立プロセスの段階における本発明によるLEDのもう1つの実施例の断面図である。

【図5】 従来のエッチング技法によって、SiO<sub>2</sub>のマスクが除去された表面を備えたLEDが残される組立プロセスの段階における本発明によるLEDのもう1つの実施例の断面図である。

【図6】 角錐の上に、透明な上部電極を堆積させ組立プロセスの段階における本発明によるLEDのもう1つの実施例の断面図である。

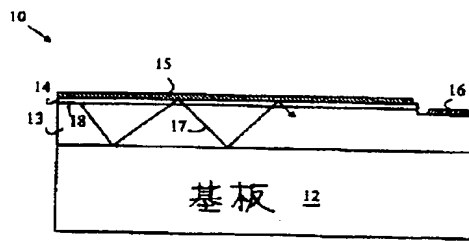
【図7】 「光パイプ」を利用して、結合効率を改善する本発明によるLEDの断面図である。

【符号の説明】

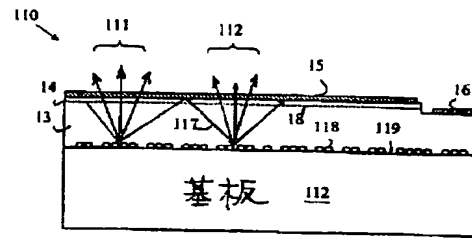
|     |                      |
|-----|----------------------|
| 10  | LED                  |
| 12  | サファイア基板              |
| 13  | 第1の層                 |
| 14  | 第2の層                 |
| 15  | 透明電極                 |
| 16  | 第2の電極                |
| 18  | 発光領域                 |
| 20  | LED                  |
| 21  | p-n接合層               |
| 22  | SiO <sub>2</sub> マスク |
| 23  | 基板                   |
| 24  | 角錐                   |
| 26  | 上部電極                 |
| 32  | Ga <sub>0.5</sub> N層 |
| 33  | 基板                   |
| 34  | 上部電極                 |
| 35  | 孔パターン                |
| 110 | LED                  |
| 117 | 光                    |
| 118 | 突出部                  |
| 119 | 陥凹部                  |



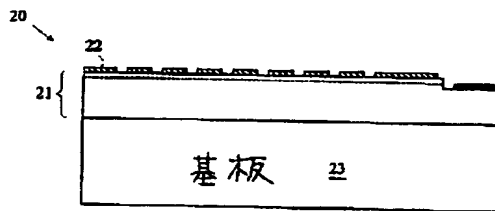
【図1】



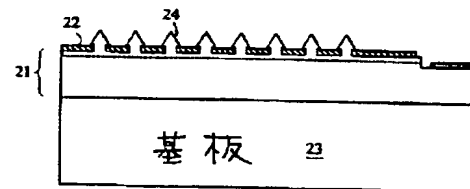
【図2】



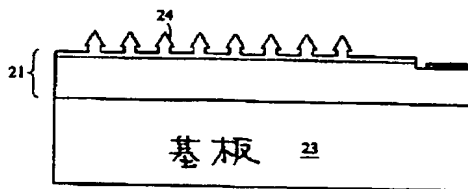
【図3】



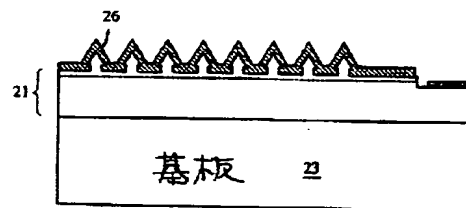
【図4】



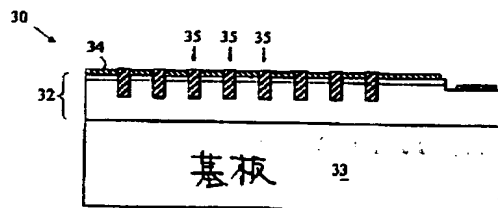
【図5】



【図6】



【図7】



**THIS PAGE BLANK (USPTO)**